

STORAGE DEVICE

Publication number: JP2003036202 (A)

Publication date: 2003-02-07

Inventor(s): IZUMI TOMOAKI; IWATA KAZUYA; KASAHARA TETSUSHI; ADACHI TATSUYA; SHIYOURAIDEN JUICHI; HONDA TOSHIYUKI

Applicant(s): MATSUSHITA ELECTRIC IND CO LTD

Classification:

- international: G11C16/02; G06F1/04; G06F1/08; G06F12/00; G06K17/00; G06K19/07; G11C16/02; G06F1/04; G06F1/08; G06F12/00; G06K17/00; G06K19/07; (IPC1-7): G06F12/00; G06F1/04; G06F1/08; G06K17/00; G06K19/07; G11C16/02

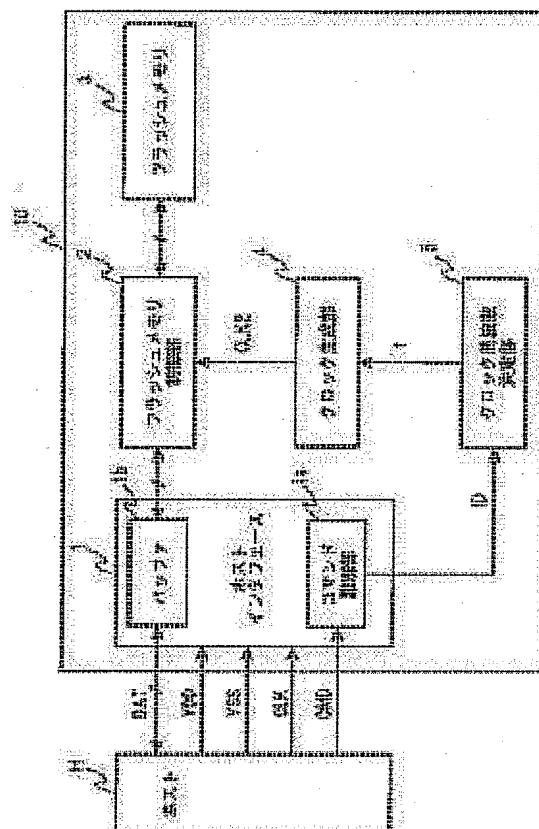
- European:

Application number: JP20010223575 20010724

Priority number(s): JP20010223575 20010724

Abstract of JP 2003036202 (A)

PROBLEM TO BE SOLVED: To provide a storage device which reduces power consumption caused for the generation of a clock signal, and improves data processing speed. **SOLUTION:** A command identification part 1a in a host interface 1 identifies a command from a host H, and outputs the command identification information as a command identification signal ID to a clock frequency decision part 5. The clock frequency decision part 5 determines a set frequency f of a clock signal CLK2 in response to the command identification information. As a result, the data processing speed of a storage element control part 2 is varied for each command.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-36202
(P2003-36202A)

(43) 公開日 平成15年2月7日 (2003.2.7)

(51) Int.Cl. ⁷	識別記号	F I	特マコード* (参考)
G 0 6 F 12/00	5 6 4	C 0 6 F 12/00	5 6 4 C 5 B 0 2 J
	5 5 0		5 5 0 E 5 B 0 3 J
	5 9 7		5 9 7 U 5 B 0 5 8
1/04	3 0 1	1/04	3 0 1 C 5 B 0 6 0
1/08		C 0 6 K 17/00	D 5 B 0 7 9
審査請求 未請求 請求項の数 4 O L (全 13 頁) 最終頁に続く			

(21) 出願番号 特願2001-223575(P2001-223575)

(22) 出願日 平成13年7月24日 (2001.7.24)

(71) 出願人 000003821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 泉 智紹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 岩田 和也

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100062926

弁理士 東島 隆治

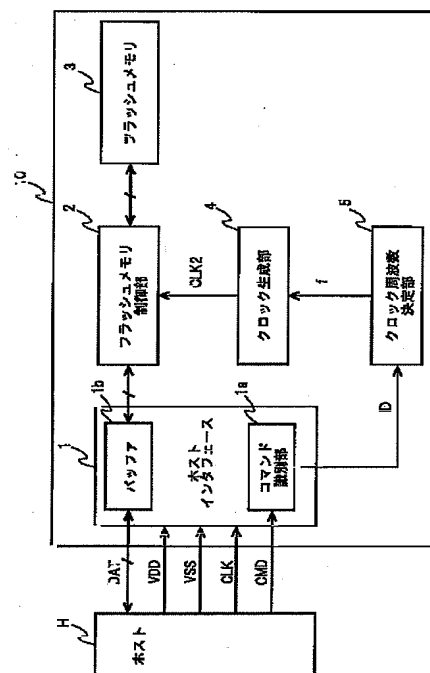
最終頁に続く

(54) 【発明の名称】 記憶装置

(57) 【要約】

【課題】 クロック信号の生成による消費電力を削減し、かつ、データ処理速度を向上した記憶装置を提供する。

【解決手段】 ホストインタフェース1内のコマンド識別部1aが、ホストHからのコマンドを識別し、そのコマンド識別情報をコマンド識別信号IDとしてクロック周波数決定部5へ出力する。クロック周波数決定部5はコマンド識別情報に応じてクロック信号CLK2の設定周波数fを決定する。それにより、記憶素子制御部2のデータ処理速度をコマンドごとに変化させる。



【特許請求の範囲】

【請求項1】 ホストからのコマンドを識別して前記コマンドの識別情報をコマンド識別信号として出力するためのコマンド識別部、を含み、前記ホストとの間で前記コマンドとデータとを通信するためのホストインタフェース；前記データを記憶するための記憶素子；前記コマンドに応じて前記データを、前記記憶素子へ書き込み、及び、前記記憶素子から読み出す、ための記憶素子制御部；設定周波数のクロック信号を前記記憶素子制御部へ与えるためのクロック生成部；及び、前記コマンド識別信号に応じて前記設定周波数を決定するためのクロック周波数決定部；を有する記憶装置。

【請求項2】 ホストからの転送クロックの周波数を検出するための転送クロック検出部、を含み、前記ホストとの間でコマンドとデータとを通信するためのホストインタフェース；前記データを記憶するための記憶素子；前記コマンドに応じて前記データを、前記記憶素子へ書き込み、及び、前記記憶素子から読み出す、ための記憶素子制御部；設定周波数のクロック信号を前記記憶素子制御部へ与えるためのクロック生成部；及び、前記転送クロックの周波数に応じて前記設定周波数を決定するためのクロック周波数決定部；を有する記憶装置。

【請求項3】 ホストからのコマンドの入力の時間間隔を検出するためのコマンド間隔計測部、を含み、前記ホストとの間で前記コマンドとデータとを通信するためのホストインタフェース；前記データを記憶するための記憶素子；前記コマンドに応じて前記データを、前記記憶素子へ書き込み、及び、前記記憶素子から読み出す、ための記憶素子制御部；設定周波数のクロック信号を前記記憶素子制御部へ与えるためのクロック生成部；及び、前記コマンドの入力の時間間隔に応じて前記設定周波数を決定するためのクロック周波数決定部；を有する記憶装置。

【請求項4】 前記記憶素子がフラッシュメモリであり、前記記憶素子制御部が前記記憶素子に記憶されたデータの消去を制御する、請求項1から3までのいずれか一項に記載の記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶素子を含む記憶装置に関し、特にその入出力処理のクロック制御に関する。

【0002】

【従来の技術】ノートパソコン、携帯情報端末(PDA)及びデジタルカメラ等の携帯型情報処理機器はデジタルデータを記録媒体に記録する。その記録媒体としては、画像データ等の多量のデータを単体で長時間安定に保持できるものが望ましい。更に、携帯型情報処理機器は長時間、電池等の内部電源だけで使用される。従っ

て、上記の記録媒体として、データの入出力及び保持に必要な電力を小さく抑えるものが望ましい。その上、携帯型情報処理機器で扱われるデータは、他の様々な情報処理機器間で交換される。例えば、デジタルカメラで撮影された画像データはプリンタで印刷され、パソコンでデジタル処理され、携帯電話で伝送され、又は、テレビ画面に映し出される。従って、上記の記録媒体として、様々な情報処理機器間で共用できるものが望ましい。

【0003】上記の要求に応える記録媒体として、従来のフレキシブルディスク、ハードディスク及び光ディスク等と共に、半導体記憶素子が多用されている。特に、PCカードのようにフラッシュメモリ内蔵のカード型記録媒体(以下、フラッシュメモリカードという)が代表的である。フラッシュメモリカードは、情報処理機器に設けられた専用のスロットに差し込まれ、その情報処理機器とデータを交換する。共通の規格によるスロットを持つ情報処理機器同士は、同一のフラッシュメモリカードでデータを共用できる。

【0004】図8は、従来のフラッシュメモリカード100と情報処理機器(以下、ホストという)Hとによるデータ交換の一例を示すブロック図である。フラッシュメモリカード100はホストHと、例えば、データラインDAT、クロックラインCLK、電源ラインVDD、グラウンドラインVS及びコマンドラインCMDの5種類のラインで接続される。

【0005】ホストインタフェース101はコマンドラインCMDを通じてホストHからのコマンドを受信し、解読する。例えば、そのコマンドがデータの読み出し命令である時、ホストインタフェース101はフラッシュメモリ3からデータを読み出す。その時、フラッシュメモリ制御部2はデータをフラッシュメモリ3からバッファ1bへ、クロック信号CLK2に同期して転送する。更に、ホストインタフェース101はバッファ1b内のデータをホストHへ、クロックラインCLKからの転送クロックに同期してデータラインDATを通じて転送する。

【0006】ホストHからのコマンドがデータの書き込み命令である時、ホストインタフェース101はデータラインDATからデータを読み出す。その時、データはクロックラインCLKからの転送クロックに同期して、バッファ1bへ蓄積される。更に、ホストインタフェース101はバッファ1b内のデータをフラッシュメモリ3へ書き込む。その時、フラッシュメモリ制御部2はデータをバッファ1bからフラッシュメモリ3へ、クロック信号CLK2に同期して転送する。

【0007】フラッシュメモリ制御部2は、ホストインタフェース101とフラッシュメモリ3との間で、データの入出力処理を制御する。その入出力処理はクロック信号CLK2に同期して行われる。クロック生成部4は、クロック制御部50からの起動信号STRにより起動し、停止信号S

TPにより停止する。つまり、クロック制御部50による起動信号STRの出力から停止信号STPの出力までの間、クロック生成部4は一定周波数のクロック信号CLK2を生成する。更に、そのクロック信号CLK2に同期してフラッシュメモリ制御部2は動作する。

【0008】クロック制御部50はホストインタフェース101内のコマンド検出部101aから、ホストインタフェース101によるコマンドの受信ごとにコマンド検出信号CDTを入力する。クロック制御部50はコマンド検出信号CDTの入力ごとに起動信号STRを出力する。それと同時に、内部のカウンタ(図示せず)により一定のスタンバイ移行時間をカウントする。そのカウント中に新たなコマンド検出信号CDTを入力した時、クロック制御部50はカウント値をリセットし、スタンバイ移行時間をカウントし直す。新たなコマンド検出信号CDTの入力前にスタンバイ移行時間をカウントし終えた時、クロック制御部50は停止信号STPを出力する。

【0009】従来のフラッシュメモリカード100ではクロック制御部50の上記の動作により、新たなコマンドを一定のスタンバイ移行時間入力しない時、クロック生成部4が停止する。それにより、クロック信号CLK2の生成による消費電力が低減する。

【0010】

【発明が解決しようとする課題】携帯型情報処理機器は、更に小型でかつ軽量であることを望まれている。従って、内蔵電池の容量が制限されるので消費電力を更に削減しなければならない。その反面、携帯型情報処理機器は、更に多量のデータの処理を望まれている。従って、データ処理の効率、例えば処理速度を向上しなければならない。

【0011】上記のフラッシュメモリカード100での消費電力の削減には例えば、フラッシュメモリ制御部2によるデータ処理の終了時、速やかにクロック信号CLK2の生成を停止し、すなわちスタンバイ状態に移行することが望ましい。つまり、スタンバイ移行時間の短縮が望ましい。それにより、フラッシュメモリ制御部2がデータ処理を行っていない時にクロック信号CLK2が生成されている状態(アイドル状態)の時間(アイドル時間)を削減できる。その結果、クロック信号CLK2の生成による消費電力が低減する。

【0012】しかし、クロック生成部4及びフラッシュメモリ制御部2の起動はそれぞれ所定の時間を要する。従って、コマンドに対するフラッシュメモリカード100の応答速度は、アイドル状態に比べてスタンバイ状態が遅い。一方、スタンバイ移行時間が短いほど、フラッシュメモリカード100はコマンドの入力時、スタンバイ状態でありやすい。それ故、スタンバイ移行時間が短いほど、フラッシュメモリカード100へのデータの記録速度及び再生速度が減少する。つまり、従来のフラッシュメモリカード100では、スタンバイ移行時間の短縮とデ

ータ処理速度の減少とが、いわゆるトレードオフの関係にあった。従って、スタンバイ移行時間の短縮によるアイドル時間の削減では、消費電力の十分な削減と、一定値以上のデータ処理速度の維持と、の両立が困難であった。

【0013】本発明は、クロック信号の生成による消費電力を削減し、かつ、データ処理速度を向上した記憶装置、の提供を目的とする。

【0014】

【課題を解決するための手段】本発明の一つの観点による記憶装置は、(A) ホストからのコマンドを識別して前記コマンドの識別情報をコマンド識別信号として出力するためのコマンド識別部、を含み、前記ホストとの間で前記コマンドとデータとを通信するためのホストインタフェース；(B) 前記データを記憶するための記憶素子；(C) 前記コマンドに応じて前記データを、前記記憶素子へ書き込み、及び、前記記憶素子から読み出す、ための記憶素子制御部；(D) 設定周波数のクロック信号を前記記憶素子制御部へ与えるためのクロック生成部；及び、(E) 前記コマンド識別信号に応じて前記設定周波数を決定するためのクロック周波数決定部；を有する。

【0015】上記の記憶装置では、ホストからのコマンドが識別され、そのコマンド識別情報に応じてクロック信号の設定周波数が決定される。それにより、記憶素子制御部のデータ処理速度をコマンドごとに変化できる。

【0016】例えば、ホストが上記の記憶装置でのクロック信号の設定周波数を、特定のコマンドにより指定しても良い。その特定のコマンドは例えば、ホストの種類等のホストについての情報、又は、データ転送速度等のホストとの間の通信についての情報、を示すものであっても良い。特定のコマンドはそのパラメータの中に、クロック信号の設定周波数の最適値を含んでも良い。

【0017】上記の記憶装置ではクロック信号の設定周波数がホストからのコマンドを通じて、例えばホストの種類に応じて次のように決定される：例えば、デジタルビデオカメラ等、高速なデータ処理を必要とするホストに対してはクロック信号の設定周波数が高く決定される。一方、デジタルスチルカメラ等、データの処理速度より消費電力の低減を重視するホストに対してはクロック信号の設定周波数が低く決定される。こうして、上記の記憶装置では、クロック信号の設定周波数がホストの種類に応じて最適値に決定される。その結果、ホストの種類に応じて、記憶素子制御部によるデータ処理速度と、クロック信号の生成による消費電力と、を最適に調節できる。

【0018】更に、ホストが、例えば上記の記憶装置との通信でデータ転送速度を設定する時、上記の記憶装置に対してクロック信号の設定周波数を、データ転送速度に合わせて最適値に指定できる。こうして、上記の記憶

装置では、クロック信号の設定周波数がホストとのデータ転送速度に応じて最適値に決定される。その結果、上記の記憶装置では、ホストとの間でのデータ転送速度に応じて、記憶素子制御部によるデータ処理速度と、クロック信号の生成による消費電力と、を最適に調節できる。

【0019】ホストからの特定のコマンドの他に、上記の記憶装置は通常のコマンドに応じて、クロック信号の設定周波数を決定しても良い。例えば、ホストからの書き込み命令及び読み出し命令に対してクロック信号の設定周波数を高く決定しても良い。その時、記憶素子制御部のデータ処理速度は大きい。その結果、データの記録速度及び再生速度が大きい。一方、ホストによる記憶装置の認識に必要なデータ(例えば記憶装置の動作条件又は属性等)の出力命令又はアドレスの指定命令に対してクロック信号の設定周波数を低く決定しても良い。その時、記憶素子制御部のデータ処理速度は小さい。しかし、上記のコマンドに対する応答処理は、記憶素子制御部によるデータ処理を実質的には必要としない。従って、上記のコマンドに対する応答処理の速度は実質的には変わらない。更に、クロック信号の周波数が低いので、クロック信号の生成による消費電力が低減する。こうして、上記の記憶装置は通常のコマンドに対する応答処理に応じて、記憶素子制御部によるデータ処理速度と、クロック信号の生成による消費電力と、を最適に調節できる。

【0020】本発明の別な観点による記憶装置は、(A) ホストからの転送クロックの周波数を検出するための転送クロック検出部、を含み、前記ホストとの間でコマンドとデータとを通信するためのホストインタフェース；(B) 前記データを記憶するための記憶素子；(C) 前記コマンドに応じて前記データを、前記記憶素子へ書き込み、及び、前記記憶素子から読み出す、ための記憶素子制御部；(D) 設定周波数のクロック信号を前記記憶素子制御部へ与えるためのクロック生成部；及び、(E) 前記転送クロックの周波数に応じて前記設定周波数を決定するためのクロック周波数決定部；を有する。

【0021】ホストと上記の記憶装置との間でのデータ転送時、ホストからの転送クロックの周波数は高い。一方、それ以外の時、転送クロックの周波数は低い。上記の記憶装置はそのような転送クロックの周波数の変化に合わせて、クロック信号の設定周波数を変化させる。それにより、転送クロックの周波数が高い時、クロック信号の設定周波数が高い。従って、記憶素子制御部のデータ処理速度が大きい。逆に、転送クロックの周波数が低い時、クロック信号の設定周波数が低い。従って、クロック信号の生成による消費電力が小さい。こうして、上記の記憶装置はホストからの転送クロックの周波数に基づいて、記憶素子制御部によるデータ処理速度と、クロック信号の生成による消費電力と、を最適に調節でき

る。

【0022】本発明の更に別な観点による記憶装置は、(A) ホストからのコマンドの入力の時間間隔を検出するためのコマンド間隔計測部、を含み、前記ホストとの間で前記コマンドとデータとを通信するためのホストインタフェース；(B) 前記データを記憶するための記憶素子；(C) 前記コマンドに応じて前記データを、前記記憶素子へ書き込み、及び、前記記憶素子から読み出す、ための記憶素子制御部；(D) 設定周波数のクロック信号を前記記憶素子制御部へ与えるためのクロック生成部；及び、(E) 前記コマンドの入力の時間間隔に応じて前記設定周波数を決定するためのクロック周波数決定部；を有する。

【0023】上記の記憶装置はホストからのコマンド入力(アクセス)の時間間隔を計測し、その時間間隔に応じてクロック信号の設定周波数を、次のように決定する：

コマンド入力の時間間隔が長い時、クロック信号の設定周波数を低く設定する。それにより、記憶素子制御部のデータ処理速度が減少するので、データ処理終了時から次のコマンド入力までの時間(アイドル時間)が短縮する。従って、アイドル時間でのクロック信号の生成による消費電力が削減される。逆に、コマンド入力の時間間隔が短い時、クロック信号の設定周波数を高く設定する。それにより、記憶素子制御部のデータ処理速度が増加するので、コマンドに対する記憶装置の応答速度が増加する。こうして、上記の記憶装置は、ホストからのコマンド入力の時間間隔に基づいて、記憶素子制御部によるデータ処理速度と、クロック信号の生成による消費電力と、を最適に調節できる。

【0024】上記の記憶装置では、前記記憶素子がフラッシュメモリであり、前記記憶素子制御部が前記記憶素子に記憶されたデータの消去を制御しても良い。フラッシュメモリはデータを、実質的な電力消費なしで長時間安定に保持できる。従って、特に携帯型情報処理機器用の記憶素子として好ましい。更に、記憶素子制御部はフラッシュメモリ内のデータをブロックごと一括消去し、新たなデータを書き込み得る。従って、上記の記憶装置は記憶素子のデータを書き換え得る。

【0025】

【発明の実施の形態】以下、本発明の最適な実施の形態について、その好ましい実施例を挙げて、図面を参照しつつ説明する。以下に述べる実施例はいずれもフラッシュメモリカードについて本発明を実施した例である。

【0026】フラッシュメモリカードは内部にフラッシュEEPROM(一括消去型電氣的消去及び書き込み可能な不揮発性メモリ：以下、フラッシュメモリという)を含み、それらにデータを書き換え可能に記録できる。フラッシュメモリカードは通常数10mm×数10mm×数mm程度のサイズの小型カードであり、主に、携帯電話、携帯型オーディオプレーヤ、デジタルカメラ及びディジタ

ルビデオカメラ等の携帯型情報処理機器で記録媒体として用いられる。

【0027】《実施例1》図1は、本発明の実施例1によるフラッシュメモリカード10とホストHとによるデータ交換を示すブロック図である。フラッシュメモリカード10はホストHと次の5種類のラインで接続される。それらのラインは、複数本のデータラインDAT、クロックラインCLK、電源ラインVDD、グラウンドラインVSS、及び、コマンドラインCMD、を含む。

【0028】ホストインタフェース1は上記の複数種のラインを通してホストHと直接通信を行うための回路である。ホストインタフェース1は、コマンドラインCMDを通じてホストHからのコマンドを受信し、解読する。その後、コマンドに応じて以下の応答処理を行う。

【0029】ホストHからのコマンドには、次のようなホストHによるフラッシュメモリカード10の認識に関するものがある。それらは例えば、(a) フラッシュメモリカード10の動作電圧等の動作条件を出力させ、又は指定するためのもの、(b) フラッシュメモリカード10の属性を出力させるためのもの、及び、(c) フラッシュメモリカード10のアドレスを指定するためのもの、を含む。これらのコマンドに対する応答はフラッシュメモリ3へのデータの入出力を要さないで、ホストインタフェース1だけで処理される。その処理動作は、クロックラインCLKからの転送クロックに同期して行われる。

【0030】ホストHからのコマンドがフラッシュメモリ3からのデータの読み出し命令である時、ホストインタフェース1はフラッシュメモリ制御部2へ、フラッシュメモリ3からデータを読み出すよう指示する。フラッシュメモリ制御部2はその指示に従って、フラッシュメモリ3からホストインタフェース1内のバッファ1bへデータを転送する。その転送は、クロック生成部4からのクロック信号CLK2に同期して行われる。ここで、バッファ1bはデータを一時記憶するための半導体メモリであり、好ましくはSRAMである。ホストインタフェース1はバッファ1b内のデータをシリアル信号に変換し、データラインDATを通してホストHへ転送する。その転送は、クロックラインCLKからの転送クロックに同期して行われる。

【0031】ホストHからのコマンドがフラッシュメモリ3へのデータの書き込み命令である時、ホストインタフェース1はデータラインDATからシリアル信号を1バイトずつ読み出してパラレル信号に変換する。更に、そのパラレル信号をバッファ1bへ一時記憶する。それらの動作は、クロックラインCLKからの転送クロックに同期して行われる。更に、ホストインタフェース1はフラッシュメモリ制御部2へ、バッファ1b内のデータをフラッシュメモリ3へ書き込むよう指示する。フラッシュメモリ制御部2はその指示に従ってバッファ1bのデータをフラッシュメモリ3へ転送する。その転送は、クロック生成

部4からのクロック信号CLK2に同期して行われる。

【0032】ホストHからのコマンドがフラッシュメモリ3内のデータの消去命令である時、ホストインタフェース1はフラッシュメモリ制御部2へ、フラッシュメモリ3の所定のブロックについて消去を行うよう指示する。

【0033】ホストインタフェース1はコマンド識別部1aを含む。コマンド識別部1aはコマンドラインCMDに接続され、ホストHからのコマンドを検出する。それにより、フラッシュメモリカード10の認識に関するコマンド、書き込み命令、読み出し命令及び消去命令等のコマンドの種類を識別し、コマンド識別情報を作成する。コマンド識別情報は例えば、コマンドの種類ごとに对应づけられた所定のデータ列である。コマンド識別部1aはコマンド識別情報を、コマンド識別信号IDによりクロック制御部5へ出力する。コマンド識別部1aによる上記の動作は、クロックラインCLKからの転送クロックに同期して行われる。

【0034】フラッシュメモリ制御部2はホストインタフェース1とフラッシュメモリ3との間でのデータの入出力処理を制御する。その入出力処理はクロック生成部4からのクロック信号CLK2に同期して行われる。フラッシュメモリ制御部2は特に、ホストインタフェース1からの指示に従って所定のデータを、バッファ1bからフラッシュメモリ3へ書き込み、及び、フラッシュメモリ3からバッファ1bへ読み出す。更に、フラッシュメモリ3内のデータをブロックごとに一括消去する。

【0035】フラッシュメモリ3は上記の通りフラッシュEEPROMであり、記憶したデータを実質的な消費電力なしで長時間安定に保持する。フラッシュメモリ3に対するデータの書き込み/読み出しは1バイトずつ実行される。一方、データの消去はブロックごとに一括して実行される。

【0036】クロック生成部4はクロック信号CLK2を生成する。本発明の実施例1では従来のメモリカードとは異なり、クロック生成部4がクロック信号CLK2の周波数を変化できる。クロック信号CLK2の周波数は設定周波数fに設定される。設定周波数fの値はクロック周波数決定部5により指示される。クロック生成部4はクロック信号CLK2を、転送クロックCLKとは独立に生成する。それにより、転送クロックCLKの誤差に関係なく、クロック信号CLK2は実質上一定周波数に安定に維持される。

【0037】クロック生成部4はクロック信号CLK2を主にフラッシュメモリ制御部2へ供給する。フラッシュメモリ制御部2はフラッシュメモリ3に対するデータの書き込み、読み出し及び消去をクロック信号CLK2に同期して実行する。クロック信号CLK2は転送クロックCLKとは独立であるので、フラッシュメモリ制御部2による上記の動作は、ホストインタフェース1による通信と並列に行われる。

【0038】クロック周波数決定部5はホストインタフ

フェース1内のコマンド識別部1aからコマンド識別信号IDを入力し、そのコマンド識別信号IDからコマンド識別情報を解読する。更に、クロック周波数決定部5はコマンド識別情報に応じてクロック信号CLK2の設定周波数 f を、例えば次のように決定する： まず、コマンドとその応答処理時の最適なクロック周波数との対応表を、クロック周波数決定部5に予め記憶させておく。次に、クロック周波数決定部5はその対応表を参照し、コマンド識別情報により示されるコマンドに対応したクロック周波数を選択する。その時、選択されたクロック周波数が設定周波数 f として決定され、所定の信号によりクロック生成部4へ伝達される。

【0039】上記のコマンドとクロック周波数との対応表では、書き込み命令及び読み出し命令等フラッシュメモリ制御部2の動作を必要とするコマンドについて、クロック周波数は最高値に設定され、例えば数十MHz程度である。その最高値は転送クロックの周波数に等しい。その他のコマンドについてクロック周波数は0から最高値までの範囲で最適に設定される。その最適値は、コマンドに対する応答処理時の消費電力、フラッシュメモリ3のデータ書き込み速度／読み出し速度、及び、クロック生成部4によるクロック周波数の上昇に要する時間に依存して決定される。

【0040】実施例1では特に、ホストHがコマンドの種類により設定周波数 f を、次のように決定しても良い：例えば、書き込み命令についてコマンドを複数種類用意する。更に、上記のコマンドとクロック周波数との対応表に、書き込み命令のそれぞれの種類ごとに別のクロック周波数を対応させた項目を追加しておく。ホストHは書き込み命令を出力する時、決定すべきクロック周波数に対応した種類のコマンドを選択する。クロック周波数決定部5は上記の対応表を参照し、書き込み命令を示すコマンドの種類に応じて設定周波数 f を決定する。こうして、ホストHがクロック信号CLK2の設定周波数 f を決定できる。

【0041】その他に、ホストHがコマンドのパラメータにより設定周波数 f の値を直接指定しても良い。その時、コマンド識別部1aはそのコマンドのパラメータをコマンド識別情報IDとしてクロック周波数決定部5へ出力する。クロック周波数決定部5はコマンド識別情報IDから設定周波数 f の値を解読して、クロック生成部4へ出力する。こうしても、ホストHがクロック信号CLK2の設定周波数 f を決定できる。

【0042】図2はホストHからのコマンドC1～C5、コマンド識別信号ID及びクロック信号CLK2のタイミングチャートである。図2では、ホストHから5つのコマンドC1～C5が順に入力される場合を示す。コマンドC1～C5の内、最初の二つ第一のコマンドC1と第二のコマンドC2、及び最後の第五のコマンドC5はフラッシュメモリ3に対する書き込み命令である。残りの二つ、第三のコマンドC3及

び第四のコマンドC4は、ホストHによるフラッシュメモリカード10の認識に関する命令である。

【0043】ホストインタフェース1への第一のコマンドC1の入力時、コマンド識別部1aは第一のコマンドC1についてコマンド識別信号IDを出力する。それにより、クロック周波数決定部5は、第一のコマンドC1に対応する第一のクロック周波数 f_1 を設定周波数 f として決定する。その時、第一のクロック周波数 f_1 は設定周波数 f の最高値である。クロック生成部4は第一のクロック周波数 f_1 のクロック信号CLK2を生成する。フラッシュメモリ制御部2はそのクロック信号CLK2に同期して実質的に最大のデータ処理速度で動作し、ホストインタフェース1内のバッファ1bからフラッシュメモリ3へデータを転送する。

【0044】続いて、第二のコマンドC2がホストインタフェース1へ入力される。コマンド識別部1aは第一のコマンドC1の時と同様に、コマンド識別信号IDを出力する。それにより、クロック周波数決定部5は第一のコマンドC1と同じく、第二のコマンドC2に対応する第一のクロック周波数 f_1 を設定周波数 f として決定する。従って、クロック生成部4はクロック信号CLK2を第一のクロック周波数 f_1 で生成し続ける。フラッシュメモリ制御部2は実質的に最大のデータ処理速度で、ホストインタフェース1内のバッファ1bからフラッシュメモリ3へのデータ転送を継続する。

【0045】更に、第三のコマンドC3がホストインタフェース1へ入力される。コマンド識別部1aは第三のコマンドC3についてコマンド識別信号IDを出力する。それにより、クロック周波数決定部5は、第三のコマンドC3に対応する第二のクロック周波数 f_2 を設定周波数 f として決定する。クロック生成部4は第二のクロック周波数 f_2 のクロック信号CLK2を生成する。ここで、第二のクロック周波数 f_2 は第一のクロック周波数 f_1 に比べて十分に低い。

【0046】第三のコマンドC3に対する応答ではフラッシュメモリ3に対するデータの入出力処理は必要ないので、フラッシュメモリ制御部2は実質的に動作しない。従って、クロック信号CLK2の周波数が第一のクロック周波数 f_1 から第二のクロック周波数 f_2 へ変化しても、コマンドに対する応答速度は実質的には変化しない。一方、クロック生成部4による消費電力は、クロック信号CLK2を第二のクロック周波数 f_2 で生成する時、第一のクロック周波数 f_1 で生成する時より小さい。従って、第三のコマンドC3に対する応答では、その応答速度を維持しつつ、クロック信号CLK2の生成による消費電力を低減できる。

【0047】ホストインタフェース1へ第四のコマンドC4が入力される。コマンド識別部1aは第四のコマンドC4についてコマンド識別信号IDを出力する。それにより、クロック周波数決定部5は第三のコマンドC3の時と同様

に、第二のクロック周波数 f_2 を設定周波数 f として決定する。従って、クロック生成部4はクロック信号CLK2を第二のクロック周波数 f_2 で生成し続ける。

【0048】第四のコマンドC4に続いて第五のコマンドC5がホストインタフェース1へ入力される。コマンド識別部1aは第五のコマンドC5についてコマンド識別信号IDを出力する。それにより、クロック周波数決定部5は、第五のコマンドC5に対応する第一のクロック周波数 f_1 を設定周波数 f として決定する。クロック生成部4は第一のクロック周波数 f_1 のクロック信号CLK2を生成する。フラッシュメモリ制御部2はそのクロック信号CLK2に同期して実質的に最大のデータ処理速度で動作し、ホストインタフェース1内のバッファ1bからフラッシュメモリ3へデータを転送する。

【0049】上記の通り、実施例1によるフラッシュメモリカード10では、応答にフラッシュメモリ制御部2の動作を要するコマンドの入力時、クロック信号CLK2の周波数が最高の第一のクロック周波数 f_1 である。従って、その時、コマンドに対する応答速度は最大である。一方、応答にフラッシュメモリ制御部2の動作を要しないコマンドの入力時、クロック信号CLK2の周波数が第二のクロック周波数 f_2 のように、第一のクロック周波数 f_1 より低い値である。その時、コマンドに対する応答処理は主にホストインタフェース1だけにより行われるので、その応答速度は実質的には変化しない。一方、その応答時、クロック信号CLK2の周波数が第一のクロック周波数 f_1 より低い。それ故、クロック信号CLK2の生成による消費電力が小さい。

【0050】以上の説明から明らかなように、実施例1によるフラッシュメモリカードでは従来のものとは異なり、クロック生成部4により生成されるクロック信号CLK2の周波数をコマンドに応じて変化できる。その結果、コマンドに応じてデータ処理速度及び消費電力をそれぞれ最適値に調節できるので、データ処理速度を高速に維持しつつ、消費電力を削減できる。

【0051】《実施例2》図3は、本発明の実施例2によるフラッシュメモリカード10AとホストHとによるデータ交換を示すブロック図である。実施例2によるフラッシュメモリカード10Aは実施例1のもの10と比べ、ホストインタフェース1A及びクロック周波数決定部5Aについて異なる。それ以外の構成は実施例1と同様であるので、図3では同じ符号を付している。更に、それらの同様な構成についての説明は、実施例1のものを援用する。

【0052】ホストインタフェース1Aの転送クロック検出部1cはクロックラインCLKに接続され、ホストHからの転送クロックの周波数 f_t を検出する。更に、転送クロック検出部1cは検出した転送クロックの周波数 f_t についての情報をクロック周波数決定部5Aへ出力する。

【0053】クロック周波数決定部5Aは転送クロック検

出部1cから転送クロックの周波数 f_t についての情報を入力する。それにより、転送クロックの周波数 f_t に応じてクロック信号CLK2に対する設定周波数 f を決定する。図4は、ホストHからのコマンドC1～C5、コマンド識別信号ID、クロックラインCLKからの転送クロック及びクロック信号CLK2のタイミングチャートである。実施例2では、設定周波数 f が転送クロックの周波数 f_t と実質的に等しい。

【0054】ホストHとフラッシュメモリカード10Aとの間でフラッシュメモリ3に対する書き込み/読み出し用のデータが転送される時、転送クロックの周波数 f_t は一般に最高値(数十MHz程度)である。それ以外の時、転送クロックの周波数 f_t は最高値より低く、最低値0まで下がり得る。従って、上記のように設定周波数 f を転送クロックの周波数 f_t と等しく設定する。それにより、ホストHとフラッシュメモリカード10Aとの間でフラッシュメモリ3に対する書き込み/読み出し用のデータが転送される時、フラッシュメモリ制御部2のデータ処理速度が最大である。一方、それ以外の時、クロック信号CLK2の生成による消費電力が低減する。こうして、実施例2によるフラッシュメモリカード10Aは、転送クロックの周波数 f_t に合わせてクロック信号CLK2の周波数を決定する。その結果、フラッシュメモリ制御部2のデータ処理速度を高速に維持しつつ、クロック信号CLK2の生成による消費電力を削減できる。

【0055】実施例2ではクロック信号CLK2の設定周波数 f を転送クロックの周波数 f_t と実質的に等しく決定した。その他に、設定周波数 f を転送クロックの周波数 f_t に比例するように決定しても良い。

【0056】《実施例3》図5は、本発明の実施例3によるフラッシュメモリカード10BとホストHとによるデータ交換を示すブロック図である。実施例3によるフラッシュメモリカード10Bは実施例1のもの10と比べ、ホストインタフェース1B及びクロック周波数決定部5Bについて異なる。それ以外の構成は実施例1と同様であるので、図5では同じ符号を付している。更に、それらの同様な構成についての説明は、実施例1のものを援用する。

【0057】フラッシュメモリ制御部2による一連の動作(一連のデータの書き込み/読み出し)の実行時、ホストインタフェース1BはコマンドラインCMDを通じて、所定のアクセス許可信号BSYをホストHへ出力する。アクセス許可信号BSYは高電位(Hレベル)と低電位(Lレベル)との二値を取り得る。アクセス許可信号BSYがHレベルである時、ホストHはフラッシュメモリカード10Bへアクセスできない。逆に、アクセス許可信号BSYがLレベルである時、ホストHはフラッシュメモリカード10Bへアクセスできる。

【0058】ホストインタフェース1Bのコマンド間隔検出部1dはコマンドラインCMDに接続され、ホストHからの

コマンド入力のタイミングを検出する。それにより、コマンド間隔検出部1dは、アクセス許可信号BSYのHレベルからLレベルへの切り替わり時から次のコマンド入力までの時間間隔 ΔT を計測する。その計測については後述する。コマンド間隔検出部1dは、上記の時間間隔 ΔT をコマンド時間間隔情報Gとして、クロック周波数決定部5Bへ出力する。

【0059】クロック周波数決定部5Bはコマンド時間間隔情報Gを解釈し、時間間隔 ΔT に基づいてクロック信号CLK2の設定周波数 f を決定する。特に、時間間隔 ΔT が0となるように、設定周波数 f を以下のように調整する。

【0060】図6はホストHからのコマンドC1~C4、アクセス許可信号BSY及びクロック信号CLK2のタイミングチャートである。図6では、ホストHから第一のコマンドC1、第二のコマンドC2、第三のコマンドC3及び第四のコマンドC4が順に、一定の時間間隔で入力される。更に、第一のコマンドC1から第四のコマンドC4までのそれぞれに対する応答処理時、アクセス許可信号BSYが一定のクロック数に相当する時間だけHレベルである。

【0061】図6では、第一のコマンドC1の入力時、クロック信号CLK2の設定周波数 f は第一の周波数 f_1 に決定されている。第一のコマンドC1の入力後、アクセス許可信号BSYは一旦、Hレベルに切り替わる。一定のクロック数に相当する時間の経過後、アクセス許可信号BSYは再びLレベルに戻る。アクセス許可信号BSYがLレベルに戻ってから第一の時間間隔 ΔT_1 の経過時、第二のコマンドC2が入力される。

【0062】第一の時間間隔 ΔT_1 の間では、フラッシュメモリ制御部2は実質的な動作をしない。一方、クロック生成部4はクロック信号CLK2を第一の周波数 f_1 で生成し続ける。つまり、第一の時間間隔 ΔT_1 はフラッシュメモリ制御部2のアイドル時間に相当する。図6の例では、第二のコマンドC2以降のそれぞれのコマンドについてのアイドル時間が、次のように短縮される。それにより、クロック信号CLK2の周波数を必要以上に下げることなく、クロック信号CLK2の生成による消費電力が削減される。

【0063】コマンド間隔検出部1dは第二のコマンドC2の入力時、第一の時間間隔 ΔT_1 を計測する。図6では第一の時間間隔 ΔT_1 が0より大きい。それ故、コマンド間隔検出部1dは設定周波数 f を第二の周波数 f_2 に設定し直す。実施例3では、第二の周波数 f_2 は第一の周波数 f_1 に比べて一定の割合だけ低い。

【0064】第二のコマンドC2の入力後、アクセス許可信号BSYは一旦、Hレベルに切り替わる。一定のクロック数に相当する時間の経過後、アクセス許可信号BSYは再びLレベルに戻る。アクセス許可信号BSYがLレベルに戻ってから第二の時間間隔 ΔT_2 の経過時、第三のコマンドC3が入力される。つまり、第二の時間間隔 ΔT_2 が第二のコマンドC2についてのアイドル時間に相当する。

【0065】第二の周波数 f_2 は第一の周波数 f_1 に比べて低いので、フラッシュメモリ制御部2による第二のコマンドC2に対する応答処理は、第一のコマンドC1に対する応答処理に比べて遅い。従って、第二のコマンドC2についてのアクセス許可信号BSYのHレベルの時間は、第一のコマンドC1についてのものより長い。その結果、第二の時間間隔 ΔT_2 は第一の時間間隔 ΔT_1 より短い。こうして、第二のコマンドC2についてのアイドル時間は第一のコマンドC1についてのものより短縮される。

【0066】コマンド間隔検出部1dは第三のコマンドC3の入力時、第二の時間間隔 ΔT_2 を計測する。図6では第二の時間間隔 ΔT_2 も0より大きい。それ故、コマンド間隔検出部1dは設定周波数 f を更に第三の周波数 f_3 に設定し直す。実施例3では、第三の周波数 f_3 は第二の周波数 f_2 に比べて、第一の周波数 f_1 に対する第二の周波数 f_2 の比と実質的に同じ割合だけ低い。

【0067】第三のコマンドC3の入力後、アクセス許可信号BSYは一旦、Hレベルに切り替わる。一定のクロック数に相当する時間の経過後、アクセス許可信号BSYは再びLレベルに戻る。第三の周波数 f_3 は第二の周波数 f_2 に比べて低いので、フラッシュメモリ制御部2による第三のコマンドC3に対する応答処理は、第二のコマンドC2に対する応答処理に比べて遅い。従って、第三のコマンドC3についてのアクセス許可信号BSYのHレベルの時間は、第二のコマンドC2についてのものより長い。その結果、図6では、アクセス許可信号BSYがLレベルに戻った時、第四のコマンドC4が入力される。つまり、第四のコマンドC4については実質的なアイドル時間が発生しない。

【0068】以上のように、実施例3ではコマンド入力の時間間隔の検出により、コマンドに対する応答処理終了後のアイドル時間を検出する。更に、アイドル時間が発生した時、クロック信号CLK2の設定周波数 f を一定の割合ずつ低く設定し直す。それにより、アイドル時間がちょうど0になるように、クロック信号CLK2の周波数を低く調整できる。その結果、アイドル時間でのクロック信号CLK2の生成による消費電力を削減される。

【0069】アクセス許可信号BSYのHレベルの期間、ホストHはコマンドを出力できない。従って、アクセス許可信号BSYのHレベルの時間が長い時、ホストHがフラッシュメモリカード10Bへのアクセスを待たされる。その結果、フラッシュメモリカード10Bのコマンドに対する応答速度が低下する。実施例3ではコマンド入力の時間間隔の検出を通して、次のようにクロック信号CLK2の設定周波数 f を調節する。それにより、フラッシュメモリカード10BへのアクセスについてのホストHの待ち時間を短縮する。

【0070】図7はホストHからのコマンドC5~C8、アクセス許可信号BSY及びクロック信号CLK2のタイミングチャートである。図7では、ホストHから第五のコマンドC

5、第六のコマンドC6、第七のコマンドC7及び第八のコマンドC8が順に入力される。更に図6の例と同様に、第五のコマンドC5から第八のコマンドC8までのそれぞれに対する応答処理時、アクセス許可信号BSYが一定のクロック数に相当する時間だけHレベルである。

【0071】図7の例では次の場合を想定する： ホストHは第五のコマンドC5から第八のコマンドC8までの出力を一定の時間間隔で試みる。しかし、第五のコマンドC5から第七のコマンドC7までについて、アクセス許可信号BSYのHレベルの時間がその一定の時間間隔に比べ長い。それ故、第六のコマンドC6及び第七のコマンドC7の出力について、ホストH側に待ち時間が発生している。

【0072】図7では、第五のコマンドC5の入力時、クロック信号CLK2の設定周波数fは第四の周波数f4に決定されている。第五のコマンドC5の入力後、アクセス許可信号BSYは一旦、Hレベルに切り替わる。一定のクロック数に相当する時間の経過後、アクセス許可信号BSYは再びLレベルに戻る。アクセス許可信号BSYがLレベルに戻った時、第六のコマンドC6が入力される。つまり、第六のコマンドC6については実質的なアイドル時間が発生しない。

【0073】図7の例では、第六のコマンドC6以降のそれぞれのコマンドの入力ごとに、クロック信号CLK2の周波数が次のように上昇する。それにより、アイドル時間の発生を抑えつつ、ホストH側の待ち時間を短縮し、フラッシュメモリカード10Bの応答速度を増大できる。

【0074】コマンド間隔検出部1dは第五のコマンドC5の入力後、アクセス許可信号BSYのHレベルからLレベルへの移行時と第六のコマンドC6の入力時との時間間隔を計測する。図7ではその時間間隔が実質的に0である。それ故、コマンド間隔検出部1dは設定周波数fを第五の周波数f5に設定し直す。実施例3では、第五の周波数f5は第四の周波数f4に比べて一定の割合だけ高い。

【0075】第六のコマンドC6の入力後、アクセス許可信号BSYは一旦、Hレベルに切り替わる。一定のクロック数に相当する時間の経過後、アクセス許可信号BSYは再びLレベルに戻る。アクセス許可信号BSYがLレベルに戻った時、第七のコマンドC7が入力される。つまり、第六のコマンドC6について実質的なアイドル時間が発生しない。

【0076】第五の周波数f5は第四の周波数f4に比べて高いので、フラッシュメモリ制御部2による第六のコマンドC6に対する応答処理は、第五のコマンドC5に対する応答処理に比べて速い。従って、第六のコマンドC6についてのアクセス許可信号BSYのHレベルの時間は、第五のコマンドC5についてのものより短い。しかし、第六のコマンドC6についてアイドル時間が発生していない。従って、ホストHは第七のコマンドC7の出力を待たされていたこと、がわかる。但し、その待ち時間は第六のコマンドC6の出力についての待ち時間より短い。こうして、

第七のコマンドC7についてのホストH側の待ち時間は結果的に、第六のコマンドC6についてのものより短縮される。

【0077】コマンド間隔検出部1dは第六のコマンドC6の入力後、アクセス許可信号BSYのHレベルからLレベルへの移行時と第七のコマンドC7の入力時との時間間隔を計測する。図7ではその時間間隔も実質的に0である。それ故、コマンド間隔検出部1dは設定周波数fを更に第六の周波数f6に設定し直す。実施例3では、第六の周波数f6は第五の周波数f5に比べて、第四の周波数f4に対する第五の周波数f5の比と実質的に同じ割合だけ高い。

【0078】第七のコマンドC7の入力後、アクセス許可信号BSYは一旦、Hレベルに切り替わる。一定のクロック数に相当する時間の経過後、アクセス許可信号BSYは再びLレベルに戻る。第六の周波数f6は第五の周波数f5に比べて高いので、フラッシュメモリ制御部2による第七のコマンドC7に対する応答処理は、第六のコマンドC6に対する応答処理に比べて更に速い。従って、第七のコマンドC7についてのアクセス許可信号BSYのHレベルの時間は、第六のコマンドC6についてのものより短い。その結果、図7では、アクセス許可信号BSYがLレベルに戻った時から第八のコマンドC8の入力までの間にアイドル時間 $\Delta T3$ が発生する。コマンド間隔検出部1dは第七のコマンドC7の入力後、第七のコマンドC7に対する応答処理終了後のアイドル時間 $\Delta T3$ を計測し、アイドル時間 $\Delta T3$ が0より大きいことを検出する。それ故、コマンド間隔検出部1dは設定周波数fを第五の周波数f5に設定し直す。

【0079】以上のように、実施例3では、コマンドに対する応答処理終了後のアイドル時間が発生していない時、クロック信号CLK2の設定周波数fを一定の割合ずつ高く設定し直す。それにより、アイドル時間が新たに発生する直前の周波数にクロック信号CLK2の周波数を調整する。その結果、クロック信号CLK2の周波数がコマンド入力の間隔に最適であるので、コマンドに対するフラッシュメモリカード10Bの応答速度が最速である。更に、アイドル時間でのクロック信号CLK2の生成による消費電力が削減される。

【0080】

【発明の効果】以上の説明のように、本発明による記憶装置はホストからのコマンドを識別して、そのコマンド識別情報に応じてクロック信号の設定周波数を決定する。それにより、記憶素子制御部のデータ処理速度をコマンドごとに変化できる。その結果、本発明による記憶装置は、ホストの種類、データ転送速度又はコマンドに対する応答処理に合わせて、記憶素子制御部によるデータ処理速度と、クロック信号の生成による消費電力と、を最適に調節できる。

【0081】更に、本発明による記憶装置は、転送クロックの周波数の変化に合わせて、クロック信号の設定周

波数を変化させる。それにより、転送クロックの周波数が高い時、クロック信号の設定周波数が高い。従って、記憶素子制御部のデータ処理速度が大きい。逆に、転送クロックの周波数が低い時、クロック信号の設定周波数が低い。従って、クロック信号の生成による消費電力が小さい。こうして、上記の記憶装置はホストからの転送クロックの周波数に基づいて、記憶素子制御部によるデータ処理速度と、クロック信号の生成による消費電力と、を最適に調節できる。

【0082】その上、本発明による記憶装置は、ホストからのコマンド入力(アクセス)の時間間隔を計測し、その時間間隔に応じてクロック信号の設定周波数を決定する。それにより、ホストからのコマンド入力の時間間隔に基づいて、記憶素子制御部によるデータ処理速度と、クロック信号の生成による消費電力と、を最適に調節できる。

【図面の簡単な説明】

【図1】本発明の実施例1によるフラッシュメモリカード10とホストHとによるデータ交換を示すブロック図である。

【図2】本発明の実施例1によるフラッシュメモリカード10での、ホストHからのコマンドC1～C5、コマンド識別信号ID及びクロック信号CLK2のタイミングチャートである。

【図3】本発明の実施例2によるフラッシュメモリカード10AとホストHとによるデータ交換を示すブロック図である。

【図4】本発明の実施例2によるフラッシュメモリカード

10Aでの、ホストHからのコマンドC1～C5、コマンド識別信号ID、クロックラインCLKからの転送クロック及びクロック信号CLK2のタイミングチャートである。

【図5】本発明の実施例3によるフラッシュメモリカード10BとホストHとによるデータ交換を示すブロック図である。

【図6】本発明の実施例3によるフラッシュメモリカード10Bでの、ホストHからのコマンドC1～C4、アクセス許可信号BSY及びクロック信号CLK2のタイミングチャートである。

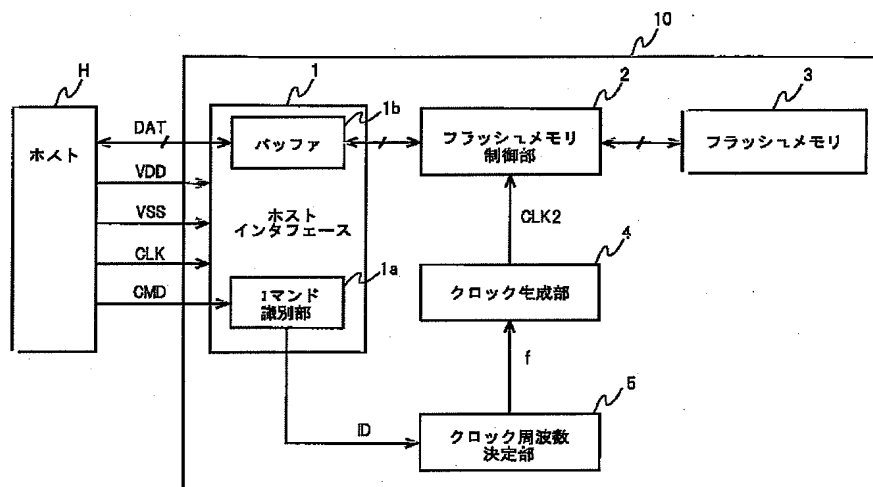
【図7】本発明の実施例3によるフラッシュメモリカード10Bでの、ホストHからのコマンドC5～C8、アクセス許可信号BSY及びクロック信号CLK2のタイミングチャートである。

【図8】従来のフラッシュメモリカード100とホストHとによるデータ交換の一例を示すブロック図である。

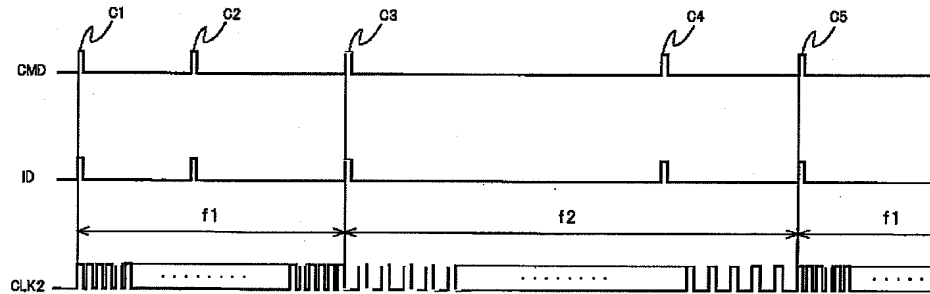
【符号の説明】

10	フラッシュメモリカード
1	ホストインタフェース
ID	コマンド識別信号
DAT	データライン
CLK	クロックライン
VDD	電源ライン
VSS	グランドライン
CMD	コマンドライン
CLK2	クロック信号
f	クロック信号CLK2の設定周波数

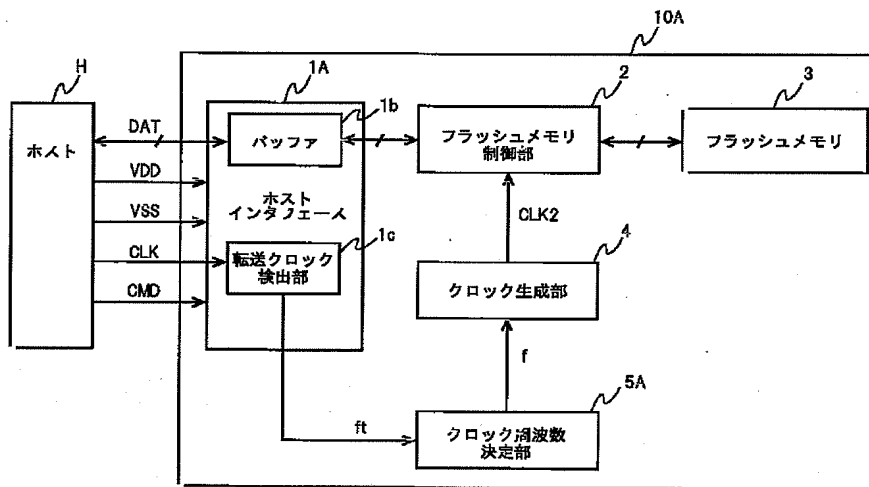
【図1】



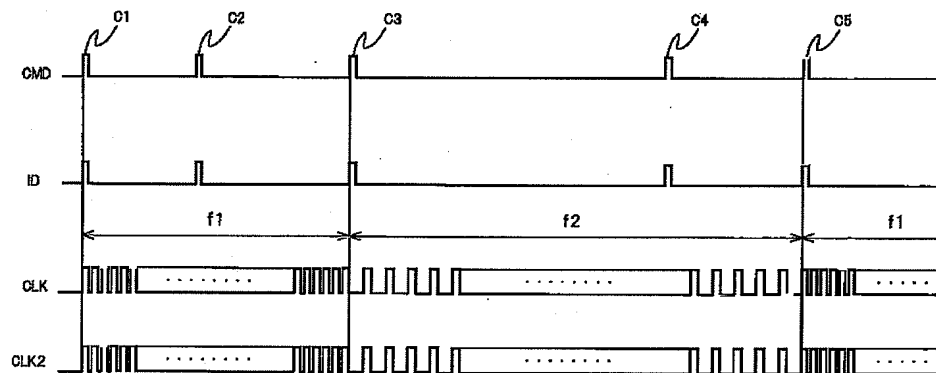
【図2】



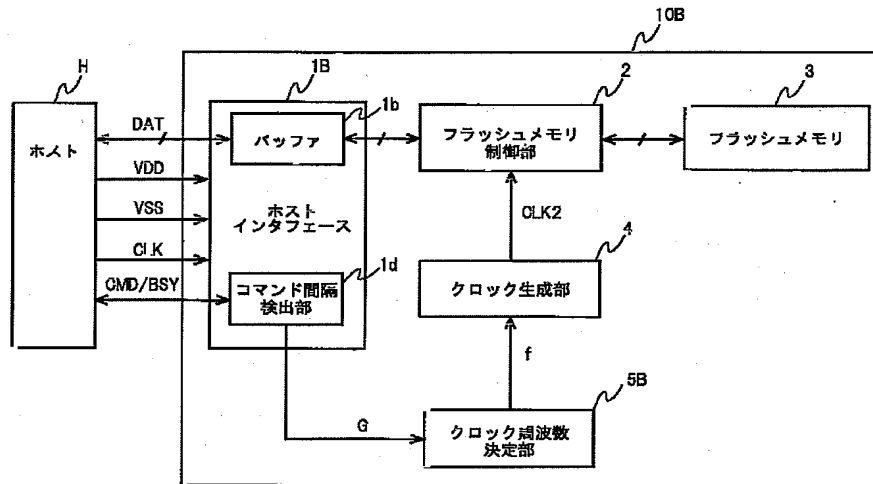
【図3】



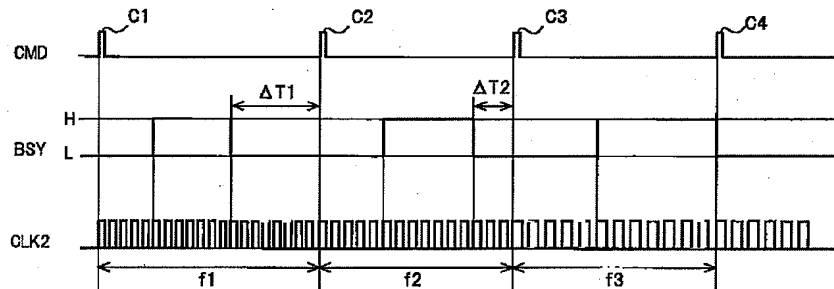
【図4】



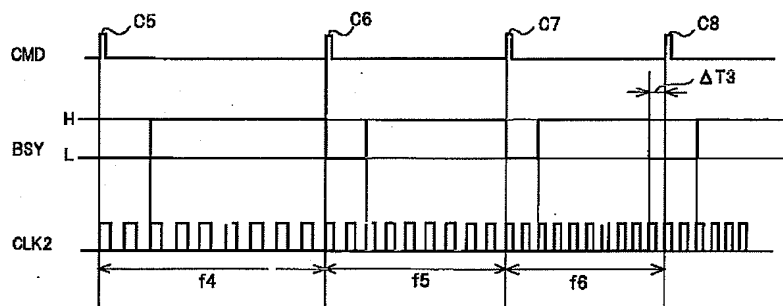
【図5】



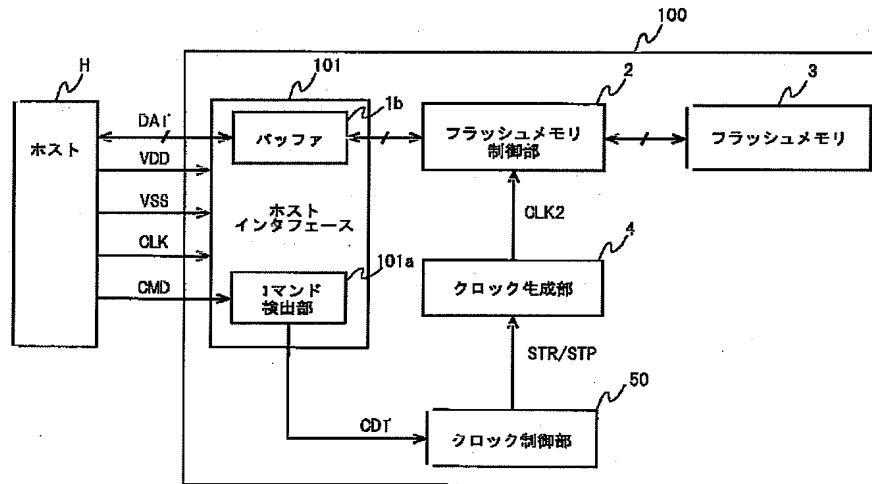
【図6】



【図7】



【図8】



フロントページの続き

(51)Int. Cl.⁷

識別記号

F I

(参考)

G 0 6 K 17/00

G 0 6 F 1/04

3 2 0 A

19/07

G 1 1 C 17/00

6 0 1 D

G 1 1 C 16/02

G 0 6 K 19/00

N

(72)発明者 笠原 哲志

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 本多 利行

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 足立 達也

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 5B025 AD15 AE06

5B035 AA06 BB09 BC00 CA12

5B058 CA26 KA02 KA04 YA20

5B060 CC03

(72)発明者 小来田 重一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

5B079 AA10 BA04 BA15 BB01 BC01